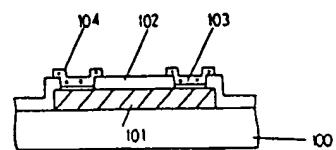


(54) SEMICONDUCTOR ELEMENT

(11) 62-35565 (A) (43) 16.2.1987 (19) JP
(21) Appl. No. 60-174801 (22) 8.8.1985
(71) SEIKO EPSON CORP (72) TOSHIHIKO MANO
(51) Int. Cl. H01L29/48, G02F1/133, G09F9/35

PURPOSE: To obtain a device having nonlinear characteristic by forming it of a nonsingle crystal silicon thin film, an oxide film formed on one surface of the thin film and a transparent conductive film formed on the oxide film, and having II-valency impurity or V-valency impurity in the thin film.

CONSTITUTION: A polycrystalline silicon 101 is formed by a reduced pressure CVD method on a quartz substrate 100. Then, phosphorus is diffused by a thermally diffusing method or an ion implanting method. After an SiO₂ film 102 is formed by a thermal oxidation or CVD method, a contacting hole is formed. Thereafter, an oxide film 103 of several ~ several tens Å is grown on a polycrystalline silicon in the hole by an O₂ plasma treatment. An ITO 104 is eventually wired by a sputtering method.



257/5381

THIS PAGE BLANK (USPTO)
THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭62-35565

⑩ Int.CI.

H 01 L 29/48
G 02 F 1/133
G 09 F 9/35

識別記号

118

厅内整理番号

7638-5F
E-8205-2H
6810-5C

⑬ 公開 昭和62年(1987)2月16日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体素子

⑮ 特願 昭60-174801

⑯ 出願 昭60(1985)8月8日

⑰ 発明者 真野 敏彦 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑱ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑲ 代理人 弁理士 最上 務

明細書

① 発明の名称

半導体素子

2. 特許請求の範囲

1) 非単結晶シリコン薄膜と該シリコン薄膜の一界面に形成される酸化膜、及び該酸化膜上に形成される透明導電膜から成り、前記シリコン薄膜はⅡ価、あるいはⅣ価の不純物を有することを特徴とする半導体素子。

2) 特許請求範囲第1項に於いて、非単結晶シリコン薄膜に、多結晶シリコンを用いることを特徴とする半導体素子。

3) 特許請求範囲第1項に於いて、シリコン薄膜上の酸化膜をO₂プラズマにより形成することを特徴とする半導体素子。

4) 特許請求範囲第1項に於いて、透明導電膜にITOを用いることを特徴とする半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はショットギー接合を有する半導体層と金属とのコンタクト特性を応用したことによる半導体素子に関するものである。

近年、液晶を応用したディスプレイの研究が活発に行なわれている。その中で表示デバイスの各画素にスイッチ要素と信号蓄積要素を集成して表示デバイスを制御、駆動する方式は、クロストークを防いでコントラストを高め、各画素の信号蓄積キャッシュターより表示要素の励起時間伸長を図り、コントラストと応答特性の向上を行なう上で、文字表示から画素表示の広い分野で注目されている。この駆動方式には電界効果トランジスタと非直線素子のアレイによるものがある。本発明は、後者の非直線素子を有する新しい構造に関するものである。

(従来の技術)

本発明に類する従来の技術は、金属層/絶縁層/金属層(以下MIMと略す)から成るデバイスがあ

る。これは Poole-Frenkel 伝導機構を利用した非直線電子の代表的なデバイスである。第2図により簡単に説明する。第2図(a)で、例えば、絶縁基板 200 上に Ta 201 をスパッタリング等により形成し、しかる後、Ta₂O₅ 202 を酸化形成する。最後に Cr 203 を形成することによりNIM電子が形成される。この電子の一般的な I-V 特性は第1図(c)に示す様な非直線形である。このNIM電子を各画素の駆動スイッチング電子として応用して略図を第2図(a)に示す。ここで 201 は Ta、203 は Cr、204 は画素を形成する、例えばITO等の透明電極である。

発明の概要とその特徴

本発明は、非直線形の特性を有する全く新しい構造のデバイスを提供するものであり、同様の特性を有する従来のNIM電子の欠点を改良しようとする力ではない。但し、前述した Ta/Ta₂O₅/Cr 備造についてあえて欠点を述べれば以下の点なもののが挙げられる。

① Ta、Cr共にスパッタリング、蒸着形成が

しき構造のスイッチング電子を提供するものである。

(実施例)

本発明による一実施例を第1図に従って説明する。第1図(b)は、本発明による半導体電子の構造断面図である。ここで、100は石英、ガラス等の透明絶縁基板、101はリン等、I-Vの不純物を有する多結晶シリコン、102はSiO₂等の層間絶縁膜、103は前記多結晶シリコンを酸化して得られる、極めて微厚の小さい酸化膜、104はITO膜である。以下に製造方法を示す。

石英基板 100 上に、減圧 CVD 法により多結晶シリコンを形成する。次に熱拡散法、イオン注入法によりリンを拡散する。熱酸化、CVD 法により SiO₂ 膜を形成した後、コンタクトホールを形成する。しかる後、O₂ プラズマ処理によりコンタクトホール内の多結晶シリコン上に数ミリ～数十ミクロンの酸化膜を成長させる。最後に ITO をスパッタリング法により、配線形成したものが第1図(b)である。この時、工程を簡略化する為に、第1図(b)の

一般的であり、スループットが悪い。

② 液晶表示デバイスに用いる場合、画素を形成するITO等の透明導電膜を含め、4層構造となる。

(問題点を解決する為の手段)

本発明は、不純物を有する Si 薄膜を極めて薄い酸化膜を形成し、該酸化膜上に ITO 等の透明導電膜を形成した際の、Si 薄膜と ITO 間の I-V 特性が、非直線形の特性を有することを応用した半導体電子装置である。例えば、日型の不純物を有する多結晶シリコンと ITO のコンタクト特性はオーミック、ではなくショットキーバイアスとなるが、それを一因として、若者にて、多結晶シリコンシートの導通・ランジスタを各画素のドライバとして使用する液晶表示装置では、画素の I-V との透明導電膜と、多結晶シリコンシートを直接コントクトする構造が大変に重もろたるその時の特性は第1図(c)のようになる。本発明では、プロセスの工夫により、前記特性を用いて電子のごとき特性(第1図(c))にすることによりさ

ようだ。即ち、102 の層間絶縁膜の形成を除して、以上述した構造を有する半導体電子の I-V 特性を第1図(c)に示す。この特性は、O₂ プラズマ処理の条件、この後成後の熱処理条件により異なるが、基本的には第1図(c)の様な耐圧を有する非直線形の特性となる。この特性は、通常の NIM 電子の特性と類似する。第1図(b)に本発明による半導体電子を各画素の駆動用スイッチング電子として応用した略図を示す。ここで 101 は多結晶シリコン、104 及び画素を形成する 104' は ITO より形成される。

前述した様に本発明の特性は、O₂ プラズマ条件 ITO 形成後の熱処理条件により制御できる。即ち、O₂ プラズマの(パワー × 時間)が大きい程、又、熱処理条件の(温度 × 時間)が大きい程第1図(c)に示す耐圧範囲を大きくできる。

(発明の効果)

以上の様に、本発明による第1図(c)と従来技術の第2図(b)を比較してもわかる様に、O₂ プラズマ処理により形成した酸化膜を 1 層と考えても、3

用あれば、西電及び駆動用スイッティング素子を形成できる。又、多結晶シリコンは、CVD法により形成でき、スペッタリング法によるそれに比してスループットが大きい。さらに、O₂プラズマ条件熱処理条件により容易に、特性を制御できる。

以上、本発明はMIM素子のごとき特性を有する半導体素子であり、上述した効果を有するものである。

1. 図面の簡単な説明

第1図は本発明による半導体素子を示すものである。

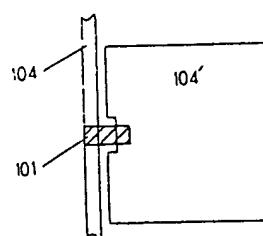
(a), (c), (d)は構造断面図、(b)はI-V特性図、(e)は面素子構成図、(f)はI-V特性図。

第2図(a)はMIM素子断面図、(b)はMIM面素子構成図。

以上

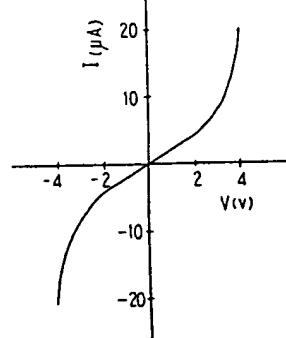
出願人 株式会社 駿訪精工舎

代理人 井理士 最上 勝(井理士)



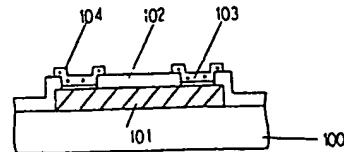
半導体素子の面素構成図

第1図(d)



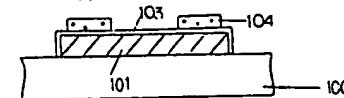
半導体素子のI-V特性図

第1図(e)



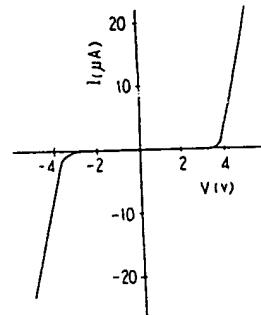
半導体素子の構造断面図

第1図(a)



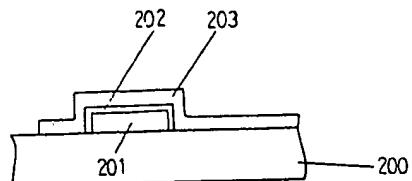
半導体素子の構造断面図

第1図(b)



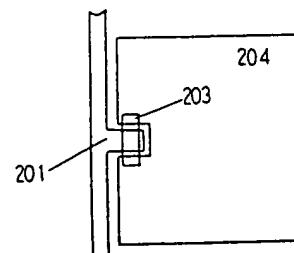
半導体素子のI-V特性図

第1図(c)



MIM素子断面図

第2図(a)



MIM面素構成図

第2図(b)

THIS PAGE BLANK (USPTO)